

Docket No.: 60188-637

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Takashi YONEDA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: August 26, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR INTEGRATED CIRCUIT	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

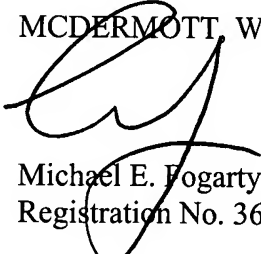
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2002-245218, filed August 26, 2002

A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prg
Facsimile: (202) 756-8087
Date: August 26, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

60188-637
Yoneda et al.
August 26, '03

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月26日

出 願 番 号

Application Number:

特願2002-245218

[ST.10/C]:

[JP 2002-245218]

出 願 人

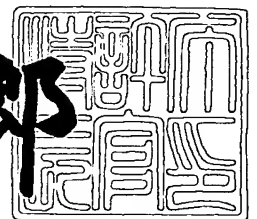
Applicant(s):

松下電器産業株式会社

2003年 7月 1日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051937

【書類名】 特許願
 【整理番号】 5037730069
 【提出日】 平成14年 8月26日
 【あて先】 特許庁長官 殿
 【国際特許分類】 G06F 11/14

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 神吉 勉

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 辨野 宏

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 米田 貴史

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 吉岡 志郎

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 上西 恒雄

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 ストアードプログラム方式の制御ブロックと、
退避データを格納するためのバックアップメモリと、
前記制御ブロックにおけるプログラムの暴走を検知するための暴走検知手段と

前記制御ブロックが正常に動作している時に当該制御ブロックのデータを前記
バックアップメモリへ退避させ、かつ前記プログラムの暴走が検知された場合に
は前記バックアップメモリに退避されていたデータを前記制御ブロックへ復帰さ
せるように制御するためのデータ転送制御手段とを備え、

前記プログラムの暴走が生じた場合でも当該プログラムの途中から正常に動作
を再開できるようにしたことを特徴とする半導体集積回路。

【請求項 2】 請求項 1 記載の半導体集積回路において、
データ記憶部を有する少なくとも 1 つの他の回路ブロックを更に備え、
前記データ転送制御手段は、前記制御ブロックが正常に動作している時に前記
他の回路ブロックのデータを前記バックアップメモリへ退避させ、かつ前記プロ
グラムの暴走が検知された場合には前記バックアップメモリに退避されていたデ
ータを前記他の回路ブロックへ復帰させるように制御する機能を更に有すること
を特徴とする半導体集積回路。

【請求項 3】 請求項 1 又は 2 に記載の半導体集積回路において、
前記データ転送制御手段は、前記制御ブロック又は前記他の回路ブロックの全
データのうち重要なデータのみの退避及び復帰を制御することを特徴とする半導
体集積回路。

【請求項 4】 請求項 1 又は 2 に記載の半導体集積回路において、
前記データ転送制御手段は、前記バックアップメモリへのデータの退避中及び
当該バックアップメモリからのデータの復帰中は、前記制御ブロックの動作を停
止させる機能を更に有することを特徴とする半導体集積回路。

【請求項 5】 請求項 1 又は 2 に記載の半導体集積回路において、

前記データ転送制御手段は、ダイレクトメモリアクセス動作を制御するためのDMA制御部であることを特徴とする半導体集積回路。

【請求項6】 請求項1又は2に記載の半導体集積回路において、
前記暴走検知手段は、ウォッチドグタイマであることを特徴とする半導体集積回路。

【請求項7】 請求項1又は2に記載の半導体集積回路において、
前記バックアップメモリは、不揮発性メモリであることを特徴とする半導体集積回路。

【請求項8】 請求項1又は2に記載の半導体集積回路において、
前記バックアップメモリは、当該半導体集積回路の外付けメモリであることを特徴とする半導体集積回路。

【請求項9】 請求項1又は2に記載の半導体集積回路において、
前記データ転送制御手段の制御によりデータの復帰動作が実施されたことを前記制御ブロックへ伝えるための復帰フラグを更に備えたことを特徴とする半導体集積回路。

【請求項10】 請求項1又は2に記載の半導体集積回路において、
前記バックアップメモリは、前記制御ブロックのバスとは異なる専用のバスを介して前記データ転送制御手段に接続され、前記制御ブロックは前記バックアップメモリへのアクセス権限を有しないことを特徴とする半導体集積回路。

【請求項11】 請求項1又は2に記載の半導体集積回路において、
前記プログラムの暴走が検知された回数をカウントするためのイベントカウンタと、

前記イベントカウンタのカウント値が所定値に達した場合には、前記制御ブロックの動作を一定期間だけ停止させた後に再開させるためのタイマとを更に備えたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ストアードプログラム方式の制御ブロック、例えばプロセッサを備

えた半導体集積回路に関するものである。

【 0 0 0 2 】

【従来の技術】

特開平 6 - 1 3 1 2 1 8 号公報には、計算機システムの異常を検出してプロセッサ（CPU）をリセットする CPU 制御技術の 1 つとして、ウォッチドグタイマ（Watch Dog Timer : WDT）の利用技術が示されている。WDT は、CPU から定期的に出力されるカウンタリセット信号を監視し、プログラムの暴走によりカウンタリセット信号が所定の期間内に入力されなかった場合はタイムオーバー信号を出力するものである。この WDT のタイムオーバー信号により CPU がリセットされて、正常な状態を回復できる。

【 0 0 0 3 】

【発明が解決しようとする課題】

しかしながら、上記従来技術ではタイムオーバー信号により CPU にリセットをかけて初期状態に戻すため、初めからプログラムを実行し直す結果、途中までのデータが破棄されてしまうという問題があった。

【 0 0 0 4 】

本発明の目的は、プログラムの暴走が生じた場合でも当該プログラムの途中から正常に動作を再開できるようにすることにある。

【 0 0 0 5 】

【課題を解決するための手段】

上記目的を達成するため、本発明に係る半導体集積回路は、ストアードプログラム方式の制御ブロックと、退避データを格納するためのバックアップメモリと、制御ブロックにおけるプログラムの暴走を検知するための暴走検知手段と、制御ブロックが正常に動作している時に当該制御ブロックのデータをバックアップメモリへ退避させ、かつプログラムの暴走が検知された場合にはバックアップメモリに退避されていたデータを制御ブロックへ復帰させるように制御するためのデータ転送制御手段とを備えることとしたものである。

【 0 0 0 6 】

データ記憶部を有する少なくとも 1 つの他の回路ブロックを更に備える場合に

は、前記データ転送制御手段は、制御ブロックが正常に動作している時に前記他の回路ブロックのデータをバックアップメモリへ退避させ、かつプログラムの暴走が検知された場合にはバックアップメモリに退避されていたデータを前記他の回路ブロックへ復帰させるように制御する機能を更に有することとする。

【 0 0 0 7 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【 0 0 0 8 】

図 1 は、本発明に係る半導体集積回路の構成例を示している。図 1 において、1 1 は CPU、1 2 は RAM、1 3 は周辺回路、1 4 はバックアップメモリである。CPU 1 1 は、不図示の ROM に格納されたプログラムに従って動作するストアードプログラム方式の制御ブロックである。RAM 1 2 は、CPU 1 1 の動作に必要なデータを記憶するためのメモリである。周辺回路 1 3 は、シリアル通信、アナログ・デジタル変換等の各種機能を有する入出力部である。バックアップメモリ 1 4 は、CPU 1 1 のプログラムカウンタとステータスレジスタを含む各種レジスタとが持つ重要なデータ D 1 と、RAM 1 2 の全記憶データのうちの重要なデータ D 2 と、周辺回路 1 3 の各種入出力制御レジスタが持つ全データのうちの重要なデータ D 3 とを退避するためのメモリである。これら CPU 1 1、RAM 1 2、周辺回路 1 3 及びバックアップメモリ 1 4 は、CPU バス 1 6 を介して互いに接続されている。

【 0 0 0 9 】

図 1 の半導体集積回路は、ダイレクトメモリアクセス動作を制御するための DMA 制御部 2 1 と、WDT (ウォッチドグタイマ) 2 2 と、復帰フラグ 1 5 とを更に備えている。

【 0 0 1 0 】

WDT 2 2 は、CPU 1 1 から定期的に出力されるカウンタリセット信号 CR を監視し、プログラムの暴走によりカウンタリセット信号 CR が所定の期間内に入力されなかった場合はタイムオーバー信号 TO を出力するものである。

【 0 0 1 1 】

DMA制御部21は、CPU11が正常に動作していてWDT22にカウンタリセット信号CRが与えられる毎に上記データD1、D2及びD3をバックアップメモリ14へ退避させ、かつプログラムの暴走がWDT22により検知されてタイムオーバー信号TOが出力された場合にはバックアップメモリ14に退避されていたデータをCPU11、RAM12及び周辺回路13へそれぞれ復帰させるように制御するためのデータ転送制御手段である。

【0012】

図1中のC1はCPU11用のリード／ライト信号、C2はRAM12用のリード／ライト信号、C3は周辺回路13用のリード／ライト信号、C4はバックアップメモリ14用のリード／ライト信号である。例えば、CPU11のデータD1をバックアップメモリ14へ退避させる場合には信号C1でリード動作を、信号C4でライト動作をそれぞれ指定し、バックアップメモリ14に退避されていたデータをCPU11へ復帰させる場合には信号C4でリード動作を、信号C1でライト動作をそれぞれ指定する。

【0013】

復帰フラグ15は、DMA制御部21の制御によりデータの復帰動作が実施されたことをCPU11へ伝えるためのフラグである。C5は復帰フラグ15用のライト信号であり、これにより復帰フラグ15がセットされる。この復帰フラグ15は、CPU11によるリードの際にリセットされる。

【0014】

以上の構成を有する図1の半導体集積回路によれば、CPU11が正常に動作している時に当該半導体集積回路の最低限必要なデータD1、D2及びD3をバックアップメモリ14へ退避させ、プログラムの暴走がWDT22により検知された場合にはバックアップメモリ14に退避されていたデータをそれぞれ復帰させることとしたので、外来ノイズ等に起因してプログラムの暴走が生じた場合でも当該プログラムの途中から正常に動作を再開することができる。つまり、リセット動作で正常な状態を回復するのではなく、正常動作を行っていた時点まで当該半導体集積回路の内部状態を戻すことができるのである。

【0015】

しかも、最低限必要な重要データのみを退避・復帰することで、退避及び復帰に要する時間を削減することができ、かつバックアップメモリ 1 4 の容量を小さくすることができる。

【 0 0 1 6 】

また、データの復帰動作が実施されたことを CPU 1 1 へ伝えるための復帰フラグ 1 5 を設けたので、CPU 1 1 が動作再開後に復帰フラグ 1 5 をチェックすることで、プログラムの暴走が生じたことを認識することができる。したがって、この場合のために用意しておいた修復用プログラムを実行することで、外部からのデータ再取り込みや再計算を行うことにより、内部状態を修正する機会が得られる。

【 0 0 1 7 】

ただし、CPU 1 1、RAM 1 2 及び周辺回路 1 3 の各々の全データを退避及び復帰の対象としても構わない。この場合には当該半導体集積回路の正常な内部状態を完全に復元できるので、上記復帰フラグ 1 5 は不要である。

【 0 0 1 8 】

なお、DMA 制御部 2 1 は、バックアップメモリ 1 4 へのデータの退避中及び当該バックアップメモリ 1 4 からのデータの復帰中は、信号 C 1 を CPU 停止信号として CPU 1 1 へ与えることにより当該 CPU 1 1 の動作を停止させることができる。これにより、データの退避・復帰中のプログラムの暴走による誤書き込みを防ぐことができるので、データの信頼性を高めることができる。

【 0 0 1 9 】

また、バックアップメモリ 1 4 は不揮発性メモリであってよい。これにより、電源が切れた場合でもバックアップメモリ 1 4 中のデータが保持されるため、電源回復後にプログラムの途中から動作を再開できて好都合である。データの退避及び復帰時にのみバックアップメモリ 1 4 に電源を供給することとしても問題ない。また、バックアップメモリ 1 4 は、当該半導体集積回路の外付けメモリであってもよい。

【 0 0 2 0 】

図 2 は、本発明に係る半導体集積回路の他の構成例を示している。図 2 によれ

ば、バックアップメモリ 14 は、CPU バス 16 とは異なるバックアップメモリ専用のバス 17 を介して DMA 制御部 21 に接続され、CPU 11 はバックアップメモリ 14 へのアクセス権限を有しないものとされる。これにより、CPU 11 のプログラムが暴走したときに当該 CPU 11 が誤ってバックアップメモリ 14 中の退避データを書き換えてしまうことを防ぐ。その他の点は図 1 の構成と同様である。

【0021】

図 3 は、図 1 及び図 2 の変形例に係る復帰制御部の構成例を示している。図 3 の復帰制御部は、イベントカウンタ 31 と、タイマ 32 とで構成される。イベントカウンタ 31 は、タイムオーバー信号 TO の数をカウントすることにより、WDT 22 でプログラムの暴走が検知された回数をカウントするものである。このイベントカウンタ 31 のカウント値が所定値に達してオーバーフローが生じた場合には、CPU 停止リクエスト信号 SA が DMA 制御部 21 及びタイマ 32 に与えられる。タイマ 32 は、この CPU 停止リクエスト信号 SA を受けてから一定期間の後に CPU 停止解除リクエスト信号 SB を DMA 制御部 21 へ与えるものである。DMA 制御部 21 は、CPU 停止リクエスト信号 SA が与えられた場合には復帰動作終了後に CPU 停止信号 C1 をアサートし、CPU 停止解除リクエスト信号 SB が与えられた場合には CPU 11 の動作を再開させるように CPU 停止信号 C1 をネゲートする。これにより、複数回のデータ復帰動作を実施してもプログラムの暴走が続く場合には、CPU 11 の動作を一定期間だけ強制的に停止させ、かつ暴走原因の消滅を待って動作が再開される。なお、イベントカウンタ 31 及びタイマ 32 は、CPU 11 の正常動作を示すカウンタリセット信号 CR によりそれぞれクリアされるようになっている。

【0022】

なお、上記各例では WDT 22 に与えられるカウンタリセット信号 CR をデータ退避のタイミング信号として採用したが、ステータスレジスタ等の重要なレジスタの書き換え時、割り込み発生時、特定命令の実行時、ノイズ検出時、シリアル通信における多数のエラー検出時等の種々のタイミングでデータ退避を行うようにすることもできる。ここに言う割り込みの例としては、タイマ割り込み、ア

ナログ・デジタル変換時に発生する割り込み、他のマイクロコンピュータからの外部割り込み等を挙げることができる。

【 0 0 2 3 】

【発明の効果】

以上説明してきたとおり、本発明によれば、ストアードプログラム方式の制御ブロックが正常に動作している時に当該制御ブロックのデータをバックアップメモリへ退避させ、かつプログラムの暴走が検知された場合にはバックアップメモリに退避されていたデータを当該制御ブロックへ復帰させることとしたので、プログラムの暴走が生じた場合でも当該プログラムの途中から正常に動作を再開することができる。

【図面の簡単な説明】

【図 1】

本発明に係る半導体集積回路の構成例を示すブロック図である。

【図 2】

本発明に係る半導体集積回路の他の構成例を示すブロック図である。

【図 3】

図 1 及び図 2 の変形例に係る復帰制御部の構成例を示すブロック図である。

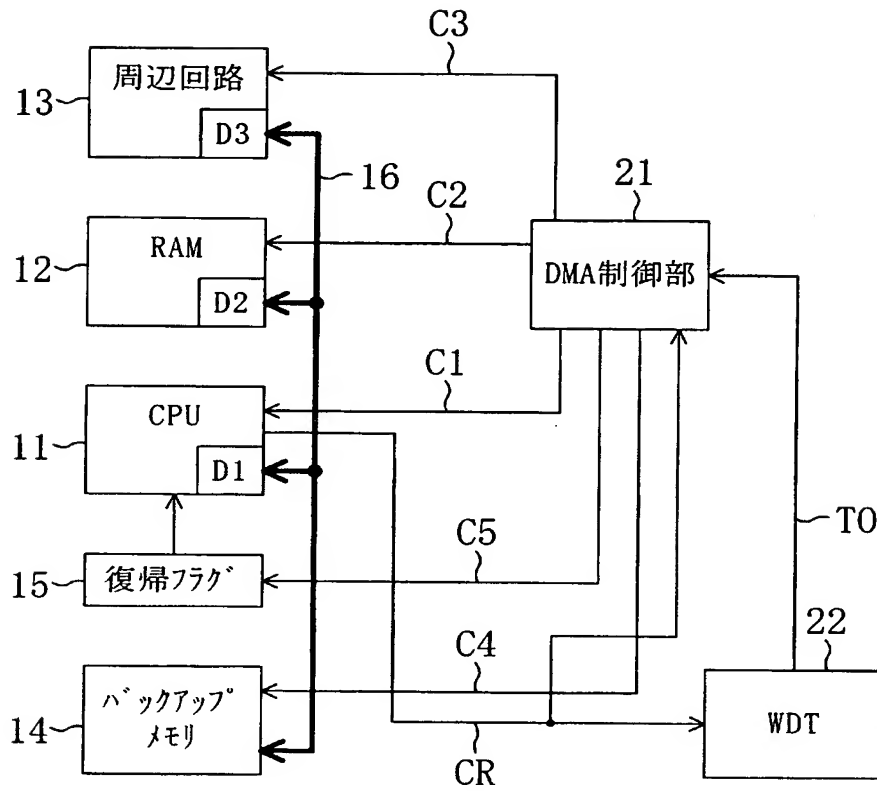
【符号の説明】

- 1 1 CPU（制御ブロック）
- 1 2 RAM（他の回路ブロック）
- 1 3 周辺回路（他の回路ブロック）
- 1 4 バックアップメモリ
- 1 5 復帰フラグ
- 1 6 CPUバス
- 1 7 バックアップメモリ専用バス
- 2 1 DMA制御部（データ転送制御手段）
- 2 2 WDT（ウォッチドグタイマ；暴走検知手段）
- 3 1 イベントカウンタ
- 3 2 タイマ

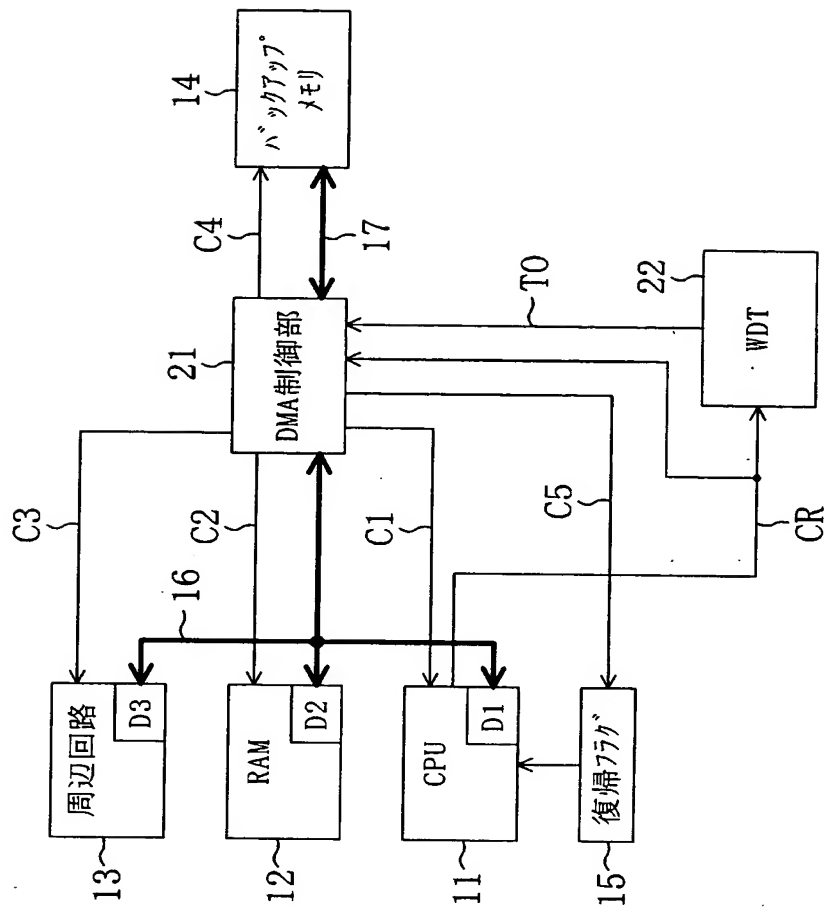
- C 1 C P U用リード／ライト／停止信号
- C 2 R A M用リード／ライト信号
- C 3 周辺回路用リード／ライト信号
- C 4 バックアップメモリ用リード／ライト信号
- C 5 復帰フラグ用ライト信号
- C R カウンタリセット信号
- S A C P U停止リクエスト信号
- S B C P U停止解除リクエスト信号
- T O タイムオーバー信号

【書類名】 図面

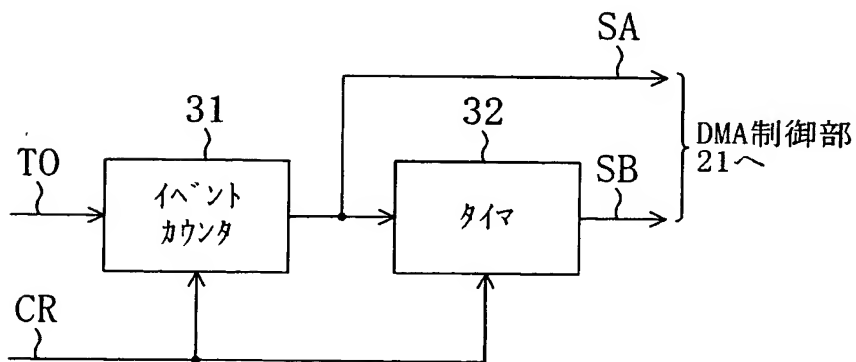
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 プログラムの暴走が生じた場合にCPUにリセットをかけて初期状態に戻すと、初めからプログラムを実行し直す結果、途中までのデータが破棄されてしまう。

【解決手段】 バックアップメモリ14と、DMA制御部21と、WDT（ウォッチドグタイマ）とを設ける。DMA制御部21は、CPU11が正常に動作していてWDT22にカウンタリセット信号CRが与えられる毎にCPU11、RAM12及び周辺回路13の各々のデータをバックアップメモリ14へ退避させ、かつプログラムの暴走がWDT22により検知されてタイムオーバー信号TOが出力された場合にはバックアップメモリ14に退避されていたデータをCPU11、RAM12及び周辺回路13へそれぞれ復帰させるように制御する。これにより、CPU11にプログラムの暴走が生じた場合でも当該プログラムの途中から正常に動作を再開できる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社